

* NOTICES *

(3)

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It sets to the approach of manufacturing an MIS transistor on a semi-conductor substrate, and they are many following continuous processes. : The layer (102) called a pedestal layer on the a aforementioned substrate is formed. Subsequently The process which forms the self-sacrificing dummy gate (112) which is called a channel field on this layer, and which is arranged above the field (118) of this substrate, On the b aforementioned dummy gate, self-alignment is carried out and pinpoint said channel field partially at least. process which forms a source field and a drain field (114,116) in said substrate The side face of said dummy gate in which it has at least one sort of electric insulation matter is coated. c1 — subsequently The process which removes this dummy gate and obtains a well (130) above said channel field, — c2 — process which forms a spacer (112) in the side face of said well Said spacer is used as a c3 impregnation mask. By the ion implantation in said well Process which dopes said a part of channel field In the d aforementioned well The process which forms the gate (150) called the last gate separated from said substrate by the gate insulator layer, In order that an implication and the process which forms said last gate may moreover form at least one hollow (122) into a pedestal layer in some upper parts of the aforementioned source field and a drain field, The; above-mentioned manufacture approach that it was carried out after removal with said a part of pedestal layer [at least] located in the pars basilaris ossis occipitalis of said well, and this a part of pedestal layer [at least] (102) extended under the spacer of the side face of said well, and said last gate is extended into said spacer.

[Claim 2]

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-535834

(P2002-535834A)

(43)公表日 平成14年10月22日 (2002. 10. 22)

(51) Int.Cl.
 H 01 L 29/78
 21/336
 29/41
 29/43

識別記号

F I
 H 01 L 29/78
 29/44
 29/62

テマコード(参考)
 3 0 1 G 4 M 1 0 4
 3 0 1 P 5 F 1 4 0
 Z
 G

審査請求 未請求 予備審査請求 有 (全 29 頁)

(21)出願番号 特願2000-594148(P2000-594148)
 (86) (22)出願日 平成12年1月13日 (2000. 1. 13)
 (85)翻訳文提出日 平成13年7月13日 (2001. 7. 13)
 (86)国際出願番号 PCT/FR00/00058
 (87)国際公開番号 WO00/42647
 (87)国際公開日 平成12年7月20日 (2000. 7. 20)
 (31)優先権主張番号 99/00389
 (32)優先日 平成11年1月15日 (1999. 1. 15)
 (33)優先権主張国 フランス (FR)
 (81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, US

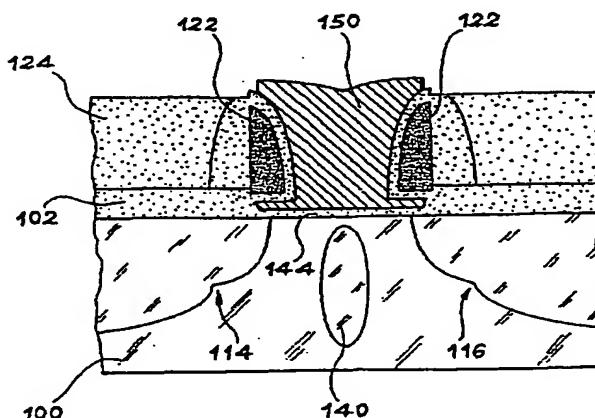
(71)出願人 コミツサリア タ レネルジー アトミーク
 フランス国パリ, リュ ドウ ラ フエデラシオン, 31-33
 (72)発明者 ドルオニビュ、シモン
 フランス国 クレクス、ラ シャントレー、アレー デ ジトー、40
 (72)発明者 ギュガン、ジョルジュ
 フランス国 セイサン、プラス ドュ ピラージュ、18
 (74)代理人 弁理士 渋村 皓 (外3名)

最終頁に続く

(54)【発明の名称】 MISトランジスタ及びそのトランジスタを半導体基板上に製造する方法

(57)【要約】

本発明はチャネル領域 (118) と、該チャネルの両側面に配置されたソース領域 (114) 及びドレイン領域 (116) と、該チャネル領域の上方に接近してセットされたゲート (150) とを備えたMISトランジスタに関する。本発明によると、前記チャネルは、前記のソース領域とドレイン領域の間に位置し、ソース領域及び前記ドレイン領域から離れているドープ中心部分 (140) を有する。



【特許請求の範囲】

【請求項1】 半導体基板上にMISトランジスタを製造する方法において、次の連続的諸工程：

a) 前記基板上にペデスタル層と呼ばれる層(102)を形成し、次いで、この層上に、チャネル領域と呼ばれる、該基板の領域(118)の上方に配置される犠牲的ダミーゲート(112)を形成する工程、

b) 前記ダミーゲート上に自己整列され、前記チャネル領域を少なくとも部分的に特定している、ソース領域及びドレイン領域(114, 116)を前記基板に形成する工程、

c₁) 少なくとも1種の電気絶縁物質を有する前記ダミーゲートの側面をコティングし、次いで、該ダミーゲートを除去して前記チャネル領域の上方にウェル(130)を得る工程、

c₂) 前記ウェルの側面にスペーサ(112)を形成する工程、

c₃) 注入マスクとして前記スペーサを使用し、前記ウェル中のイオン注入によって、前記チャネル領域の一部をドープする工程、

d) 前記ウェル中に、ゲート絶縁体層によって前記基板から分離された、最終ゲートと呼ばれるゲート(150)を形成する工程、
を含み、しかも、前記最終ゲートを形成する工程が、ペデスタル層中に、前記のソース領域及びドレイン領域の一部分の上方に少なくとも1つの窪み(122)を形成するため、前記ウェルの底部に位置する前記ペデスタル層の少なくとも一部分と、前記ウェルの側面のスペーサの下に伸びている、該ペデスタル層(102)の少なくとも一部分との除去の後に行われ、前記最終ゲートが前記スペーサの中へ伸びている：上記製造方法。

【請求項2】 ソース領域及びドレイン領域を形成するための工程b)が、連続的に

—注入マスクとしてダミーゲート(112)を用いる第1のイオンドーピング注入、

—前記ダミーゲートの側面への側面スペーサ(120)の形成、

—注入マスクとして、スペーサを備えた前記ダミーゲートを用いる第2のイオ

ンドーピング注入、
を含む、請求項1記載の方法。

【請求項3】 ドーピング工程c₃を終了する前に、ウェルの側面のスペーサ上に酸化物の層(134)を形成する、請求項1記載の方法。

【請求項4】 スペーサのウェル側面の低温酸化により、酸化物層(134)を形成する、請求項3記載の方法。

【請求項5】 ダミーゲートに側面スペーサ(120)を形成し、ウェルの側面に同一物質でスペーサ(142)を形成する、請求項2記載の方法。

【請求項6】 最終ゲートを形成する前に、ウェルの底部のペデスタル層を除去し、次いで、ゲート絶縁体層(144)を形成する、請求項1記載の方法。

【請求項7】 ペデスタル層の一部を除去した後であって、最終ゲートを定着させる前に、ウェルの側面スペーサ上に新たな酸化物層を形成する、請求項1記載の方法。

【請求項8】 チャネル領域(118)と、該チャネルの各々の側面に配置されたソース領域(114)及びドレイン領域(116)と、該チャネル領域の上方に接近して配置されたゲート(150)とを備えたMISトランジスタにおいて、

—前記チャネルが、前記のソース領域とドレイン領域の間に位置するドープ中心部分(140)を有し；前記ソース領域及び前記ドレイン領域から分離されており、しかも、

—ゲート(150)は断面が逆T字の形状をしており、前記チャネルに向いた該逆T字形の水平バーを形成し、部分的に前記ソース領域及び前記ドレイン領域の上方に伸びている部分を有している、上記MISトランジスタ。

【発明の詳細な説明】**【0001】****(技術分野)**

本発明は、自己整列ゲートを有するMISトランジスタ及びその製法に関する。MISトランジスタとは、金属-絶縁体-半導体タイプの構造、例えば、MOSトランジスタ（金属-酸化物-半導体）の構造をいう。

本発明は、特に、シリコン基板上に、極超短波の範囲で機能し得る上記のようなトランジスタを製造することに関する。

【0002】

本発明は、極超短波及び／又は電力回路を製造するための、例えば、電気通信の領域内で使用することのできる回路を造るためのマイクロエレクトロニクスに適用することができる。

【0003】**(従来技術)**

極超短波タイプの素子及び回路が通常、ガリウム砒素（GaAs）の基板上、又はシリコン基板（Si）上に造られることは知られている。

コスト上の理由で、ガリウム砒素の基板上において造られる諸回路は、一般に、あまり複雑ではなく、集積密度が高くない。このように、これら諸回路の構造は、小型で経済的という点では最適化されていない。

【0004】

文献〔1〕（この出典は、本明細書の最後に挙げられている）は、ソース及びドレインの領域上に自己整列ゲートを有するMISトランジスタの製造方法に関する。

この方法は、ソース領域及びドレイン領域の配置、並びにいわゆる最終ゲート（definitive gate）の設置を特定するための犠牲的ダミーゲートを設置する工程を基にする。ダミーゲートを設けることによって、最終ゲートが、ソース領域及びドレイン領域を形成することに関連する熱処理から解放される。

【0005】

更に、文献〔1〕の方法によって、特に、ゲートのレベルで造られた配線に対

応する接触ガード(contact guard)を減少させながら、コンパクトな(compact)トランジスタを製造することが可能となる。

素子及び回路の集積密度を高めることに関する研究を継続している間、トランジスタの個々の寸法、一層詳しく言えば、それらのゲートの寸法を小さくすることは、一つの目的であった。

【0006】

ゲート寸法を小さくする際には、トランジスタのしきい値電圧の調整に関する問題、及びドレインとソースの間のドリル加工の問題が存在する。

ゲートの下に配置されるチャネル領域のドーピング密度を大きくすることによって、そのしきい値電圧を調整することが可能となり、また、ソース領域とドレイン領域の間のドリル加工に対する保護(immunity)を高めることが可能となる。

【0007】

しかし、ゲート下のドーピング密度の増大は、一方においてはソースとチャネルの間に、他方においてはドレインとチャネルの間に存在する依存容量(parasitic capacities)の増大によって成し遂げられるため、電荷担体の移動性が低減することになる。

【0008】

ゲート寸法が小さくなると、チャネル中のドーピングが増加し、素子の周波数性能を最適化することが一層困難になる。周波数性能を制限するものの1つは、チャネルーソース又はチャネルードレインの依存容量である。

【0009】

(発明の開示)

本発明の目的は、MISトランジスタ、及び上述の制限のない製造方法を提案することにある。

特に、本発明は、ドリル加工に対する優れた保護性を依然として備えつつ、寸法を著しく小さくして製造できるようなトランジスタの提案を目的とする。

【0010】

本発明の別の目的は、供給電圧の機能で選ばれる、トランジスタのしきい値電圧 V_t を所要値に調整することを可能にすることにある。

本発明の更なる目的は、依存容量が小さく、高周波で作動することのできるトランジスタを提案することにある。

【0011】

これらの目的を達成するために、本発明は、一層正確に言えば、半導体基板の上にMISトランジスタを造る方法を目的としている。その方法は、次の連続的諸工程：

- a) 前記基板上にペデスタル層と呼ばれる層を形成し、次いで、この層上に、チャネル領域と呼ばれる、該基板の領域の上方に配置される犠牲的ダミーゲートを形成する工程、
- b) ダミーゲート上に自己整列され、チャネル領域の範囲を少なくとも部分的に特定している、ソース領域及びドレイン領域を前記基板に形成する工程、
- c₁) 少なくとも1種の電気絶縁物質を有するダミーゲートの側面をコーティングし、次いでダミーゲートを除去しチャネル領域の上方にウェルを得る工程、
- c₂) ウェルの側面にスペーサを形成する工程、
- c₃) 注入マスクとしてスペーサを使用し、ウェル中のイオン注入によって、チャネル領域の一部をドープする工程、
- d) ウェル中に、ゲート絶縁体層によって基板から分離された、最終ゲートと呼ばれるゲートを形成する工程、

を含む。

【0012】

本発明によると、最終ゲートを形成する工程は、ペデスタル層中に、ソース領域及びドレイン領域の一部分の上方に少なくとも1つの窪みを形成するため、ウェルの底部に位置するペデスタル層の少なくとも一部分と、ウェルの諸側面のスペーサの下に伸びている、ペデスタル層の少なくとも一部分とを除去する工程の後に行われ、しかも、最終ゲートはスペーサの中へ伸びている。

【0013】

スペーサーがウェルの側面に備えられ、且つ注入のマスクとして使用されるため、チャネルのドーピングは、ソース領域及びドレイン領域に到達しないで、チャネルの中心部分に限られる。

【0014】

この性質は、ドーピングを制御することによって、トランジスタのしきい値電圧を調整することが可能にする。また、ドレインーソースのドリル加工に対するトランジスタの保護を高め、とりわけ、チャネルとソースとドレインの領域の間の依存容量を減少させることも可能となる。

【0015】

ドーピング工程c₃は、初期にドーピングされた基板を使用することを排除しないことに注目すべきである。この場合のドーピング操作は、結局、チャネルの中心部分におけるドーピング濃度の上昇、又はそのドーピングの型若しくはプロフィールの変更となるだけである。

【0016】

更に、スペーサの下方のペデスタル層を部分的に除去することで、ゲートは部分的にソース領域及びドレイン領域の上方に伸びる。ソース及びドレインを徐々にドーピングするとき、即ち、チャネルの方を向いた区域を弱くドーピングし、且つ、チャネルと逆方向に向いた区域を一層強くドーピングするとき、ゲートの端部は弱くドーピングされた区域の上方まで伸びる。そのような構造にすることで、チャネルへの接近の抵抗(resistance of access)の減少と、チャネルーソース及びチャネルードレインの依存容量の減少との間の良好な歩み寄りが可能となる。

【0017】

弱くドーピングされる区域の上方のゲートとの重なり部分(overlap)の範囲は、例えば、0(ゲートの端部が、弱くドーピングされる区域の境界線に達するとき)から、弱くドーピングされる区域の幅の半分までの間とすることができる。

【0018】

本発明の特に有利な具体例によると、本発明の方法は、ドーピング工程c₃を終了する前に、スペーサ上に酸化物層を形成する工程を更に含む。ウェルの側面に形成されるこれらスペーサが、酸化され得る物質からなるとき、酸化物層は好ましくは、スペーサの酸化によって形成される。

【0019】

酸化物層の目的は、ウェルの側面のスペーサの厚さを厚くすることだけでなく、チャネルの中心部分に非常に薄いドープ区域を特定するように、この厚さを正確に制御することにある。

【0020】

実際は、チャネル中のドープ区域の範囲は、向かい合うスペーサの自由距離(free distance)に依存する。

このようにして、区域の広がりを制御することによって、トランジスタのしきい値電圧 V_t を正確に調整することが可能である。

【0021】

電圧 V_t は、例えば $V_t < V_s / 3$ (式中、 V_s はトランジスタの供給電圧である)となるように選択される。

もう1つの好ましい具体例によると、ペデスタル層と呼ばれる、基板の表面を覆っている層の上にダミーゲートを形成することができる。かくして、前記の最終ゲートを形成する前に、ウェルの底部に位置する、ペデスタル層の一部分を除去する。

【0022】

ウェル中のペデスタル層の全部又は一部分が除去されるとき、ウェルの側面に形成される側面のスペーサもまた、これら側面を保護する機能を有する。かくして、トランジスタのコンパクト化を害する、ウェルのいかなる拡張も回避される。

【0023】

上述の通り、ウェルの底部のペデスタル層を除去する工程は、ウェルの側面のスペーサの下方に伸びているペデスタル層の少なくとも一部を除去して、ソース領域及びドレイン領域の一部分の上方に少なくとも1つの窪みを形成することを含むのが好都合である。そのとき、最終的に形成される最終ゲートはこの窪みの中に伸びる。

【0024】

本発明の方法は更に、最終ゲートを形成する前に、ウェルの底部のペデスタル層を除去し、次いで、ゲートを絶縁する層を形成する工程を含むことができる。

ウェルの底部に形成されるゲート酸化物は、ペデスタル層の酸化物の厚さよりも一層薄い厚さを有するため、最終的に、逆さの「T」字の断面を有するゲートが得られる。

【0025】

ウェルの側面のスペーサが酸化されるとき、それらの表面的な酸化物層もまた、ウェルの底部のペデスタル層の除去（脱酸化反応）と同時に除去されるか又は破られる、ということが理解される。

従って、この段階の後であって、最終ゲートを適切に設置する前に、スペーサ上に新たな酸化物層を形成することができる。このことは、ゲートの逆「T」字形を調製し強調する。

【0026】

本発明の更なる目的は、基板中のチャネル領域と、チャネルの各々側面に設けられたソース領域及びドレイン領域と、チャネル領域の上方に接近して設置されるゲートとを含む、MISトランジスタである。本発明によると、チャネルは、ソース領域とドレイン領域の間であって、それらソース領域とドレイン領域から分離されたドープ中心部分を有する。

【0027】

チャネルが全面的にドーピングされ得るとき、また逆に、意図的でなくドーピングされ得るとき、チャネルの平均ドーピング濃度よりも高い濃度でドーピングされた部分は、ドープ中心部分と呼ばれる。

このように、ドーピングはゲートの下方で調整される。

【0028】

また、この中心部分は、ソース領域及びドレイン領域から離れているものと考えられ、このことは、一層少なくドーピングされた区域又は意図的でなくドーピングされた区域が、（ドープされた）中心部分と、ソース領域及びドレイン領域の各々との間にそれぞれ位置していることを意味する。

【0029】

もう1つの具体例によると、ゲートは（逆さの）T字形の断面を有し、その断面の一部分は、チャネルに向いているTの水平バーを形成しており、ソース領域

及びドレン領域の上方に部分的に伸びている。

【0030】

本発明の他の特性及び利点は、添付の諸図面を参照し、次の記載を読むことによって一層明確になる。この記載は、単に、本発明の理解に役立つ、非制限的な例に過ぎない。

【0031】

(発明を実施する諸方法の詳細な記述)

図1は、シリコン基板100を示しており、その表面は、ペデスタル層と呼ばれる酸化ケイ素の層102を形成するために酸化されている。

ペデスタル層102は、多結晶又はアモルファスのシリコンの層104と、窒化ケイ素の層106とで被覆されており、そこに後でダミーゲートが形成される。シリコン層104と窒化ケイ素層106とを組み合わせた厚さは、例えば、約100~500nmの程度である。

【0032】

符号108は、例えば感光性樹脂マスク等のエッティングマスクを示し、窒化ケイ素層106の表面に形成される。

エッティングマスク108によって、ダミーゲートの寸法と位置とを定めることができとなる。

【0033】

図2に示すダミーゲート112は、マスク108によって範囲を特定するパターンに従って、窒化ケイ素層106及びシリコン層104を選択的に異方性エッティングし、ペデスタル層102で停止させることによって形成される。次いで、エッティングマスク108を除去する。

【0034】

ダミーゲートを形成した後、第1の低供与量イオン注入を行う。製造すべきトランジスタがPMOS型であるか又はNMOS型であるかに依るが、p型導電性又はn型導電性の区域を造るようにイオンを選択する。例として、第1の注入のとき、PMOSでは、ホウ素イオンを、3~25keVのエネルギーで 10^{13} ~ 10^{14} cm^{-2} の供与量で注入する。NMOSトランジスタの場合、同一の供与量

及びエネルギーでリン又はヒ素を使用する。

【0035】

符号114及び116で表される注入領域は、それぞれ、トランジスタのドレン領域及びソース領域を構成する。ソース領域とドレン領域の間に広がり、ダミーゲートの下に接近して位置する基板部分は、トランジスタのチャネル118を構成する。

【0036】

トランジスタの特殊な態様において、ドレン領域及びソース領域の形成は、図3に示す通り、第1の注入イオンと同じタイプの導電性を有するイオンの、供与量をより多くした第2の注入によって完成させることができる。

この第2の注入の前に、ダミーゲート112には側面スペーサ120を設ける。

【0037】

これらのスペーサは、酸化ケイ素の層の同調溶着(conforming deposit)を行い、次いで、ダミーゲート側面の側面スペーサを保持するようにこの層に異方性エッチングを行うことによって形成される。

【0038】

第2の注入の終了後に得られるソース領域及びドレン領域は、より高い濃度の第1部分114a, 116aと、チャネルの方向に第1部分より更に広がった範囲を形成している、ドーピング不純物の濃度がより低い第2部分114b, 116bとを有する。

【0039】

図4は、ダミーゲートのコーティング層124の形成を示す。

コーティング層124は、選ばれた物質、例えば、ドープされた酸化ケイ素；意図的でなくドープされた酸化ケイ素；及びホウリンケイ酸ガラス(BPSG)；の中から選ばれた物質からなる1つ又は幾つかの層の堆積によって形成される。

【0040】

次いで、そのコーティング層は、ダミーゲートの窒化ケイ素層で停止させて(

図4には示さず)、平らにし研磨する(同じ高さにする)。

平らにした後、ペデスタル層の表面に側面スペーサ120及びコーティング層124のみが残存するように、ダミーゲートを除去する。本明細書のこれ以降、上述の側面スペーサ120は「外側(exterior)」スペーサと呼ぶ。

【0041】

ダミーゲートを除去することによって、ペデスタル層によって構成される底部を有するウェル層130を形成することが可能となる。ウェルの壁すなわち側面は「外側」スペーサで形成される。

【0042】

図4と一致した構造にするための方法の諸工程に関する一層詳しい記述、及び成し得る具体的変形は、上記で引用した文献【1】に示されている。

この方法においては、引き続いて、図5に示す通り、ウェル130の側面上に塗化ケイ素の側面スペーサ122が形成される。

【0043】

側面スペーサ122は、「内側(interior)」スペーサと呼ぶが、構体全体を覆う塗化ケイ素の層を溶着し、次いで、側面(垂直面)を覆っている、この層の一部分のみを保持するようにこの層に反応性イオンの選択的異方性エッティングを行うことによって形成される。変形として、これら側面スペーサは、アモルファス又は多結晶のシリコンで造ることもできる。

【0044】

ペデスタル層102もコーティング層124も、このエッティングを行う間、わずかに攻撃され(attacked)、これは、完全ではない酸化物に対応する塗化物のエッティングの選択性に起因している。

【0045】

内側側面スペーサを形成した後、注入マスクとしてコーティング層124及び側面スペーサ122を使用することによって、トランジスタのしきい値電圧を調整することを可能にする1つ又は幾つかのイオン注入を行う。注入されるイオンは、P型ドーピングのためのホウ素イオン若しくはインジウムイオン、またはN型ドーピングのためのリンイオン若しくはヒ素イオンとすることができます。でき

るだけ、その注入に引き続いて、アニーリングを行う。アニーリングは、操作手順中、後で行われる（ゲートの）酸化工程において実施することもできる。注入は、ペデスタル層を横切って行われる。

【0046】

内側側面スペーサにより、チャネル領域内に、ソース領域とドレイン領域の丁度中間に位置するドープ区域(doped zone) 140を形成することが可能となる。この区域の横方向の範囲はソース領域及びドレイン領域へは到達しない。

上述の通り、ドープ区域140は、チャネルの残部よりも一層高いドーピング濃度を与える区域であると理解される。

【0047】

注入条件、即ち、特に供与量及びエネルギーは、好ましくは、ドープ区域の特定のプロフィールに基づいて調整する。このドープ区域は、例えば、表面から、チャネル118の中心部であって、ソース領域及びドレイン領域の第2部分(114b, 116b)の半分に相当する深さに濃度のピークを有する基板の体積100まで伸びている。

【0048】

例として、注入は、2つの部分(114b及び116b)の接合部の深さ約25nm程度に対しては、1~5・10¹³のホウ素ドーズ量及び10keVのエネルギーで実施することができる。

注入によって、トランジスタには、内部及び表面のドリル加工に対する優れた抵抗性が与えられる。

【0049】

トランジスタの製造は、ウェルの底部のペデスタル層102を除去し、次いで、ゲート酸化物層及びゲートを導入することによって完結することができる。

これらの諸操作は、添付の諸図面に一層詳細に記載される。また、それら図面において、本発明の有利な改善点が説明される。

【0050】

この改善点の1つの態様によると、注入前の、スペーサの窒化ケイ素の表面的酸化は、窒化ケイ素の表面近くの層(superficial layer)を酸化ケイ素に転化す

るよう行われる。この酸化層は、図6の符号134で表される。

【0051】

この酸化には2つの機能がある。まず、スペーサの窒化物の一部を後でペデスタル層の酸化物と同時にエッティングするために、この窒化物の一部を酸化することを可能とする。また、この酸化によって、スペーサの膨張が引き起こされる（酸化物の密度は窒化物の密度よりも小さい）。この膨張は、スペーサ間に残る空間を減少させ、その空間を細密調整するのに使用される。

【0052】

この空間の細密調整によって、注入の瞬間にドープ区域が広がるのを制御できる。

酸化物層134は好ましくは、低温酸化法又は湿式スルホー酸素処理法 (the wet sulpho-oxygenated method) によって製造される。低温酸化を実施するためには、例えば、文献 [2] (この出典は、本明細書の最後に挙げられている) を参考にすることができる。これらの酸化工程によって、比較的低い温度で作業することが可能となり、従って、ソース領域及びドレイン領域が不本意にも拡散するのを回避することができる。

【0053】

1つの変形によると、その酸化物層は、溶着(deposit)によって、即ち、物質を付加することによっても形成することができる。

スペーサ上に酸化物層134を形成した後、上述のようなやり方で、注入マスクとして酸化物層を備えたスペーサを使用し、ドープ区域140の注入を続行する。

【0054】

図6におけるドープ区域140の横方向の広がりは、図5と比べて一層小さいことが分かる。

図7は、脱酸素工程を示し、その工程の間、ウェルの底部のペデスタル層102が除去される。脱酸素化は、水で希釈されたHF溶液又は緩衝HF (NH_4F) 溶液の中で起こり得る。

【0055】

この工程の間、スペーサの下に位置するペデスタル層の一部が除去されて、ソース及びドレインの領域(114, 116)の上方まで広がる空洞、すなわち窪み142が形成される。

スペーサを覆っている酸化物層134の少なくとも一部もまた、脱酸素化の間に除去されることが分かる。この特性によって、空洞142の形成が助成されるので、この特性は特に有利である。

【0056】

図8は、ウェル130の底部を覆い、空洞142の中に広がっている絶縁性ゲート層144の形成を示す。

そのゲート絶縁層は、例えば、酸化、又は化学蒸着法(CVD)によって形成される酸化物層である。この方法(CVD)によると、内側スペーサ上に新たな酸化物層を形成することによって、酸化物層134の一部が復元される。

【0057】

1つの変形によると、ゲート絶縁層の形成を回避するために、ウェルの底部のペデスタル層の厚さの一部のみを除去することが予想される。しかし、この解決策はあまり有利ではない。なぜなら、残存酸化物の層の厚さを精密に制御できず、また、空洞142の生成が促進されないからである。

【0058】

図9は、ウェル130中に最終ゲートを定着させる工程を示す。

そのゲートの物質は、とりわけ、トランジスタに必要なしきい値電圧に応じて選ばれるものの、その導電性に必要なしきい値電圧に応じても選ばれる。実際上、ゲートの物質によって、ゲート絶縁体と接触しているゲートのベースと、相互接続線(図示せず)と接触するであろう上部との間の電気伝導が確保される。

【0059】

ゲートの物質は、例えば、TiN、W、Ta等の金属、又は例えばCVDによって蒸着した多結晶シリコンである。

ゲート材料は、ゲートの断面が逆「T」字の形状であるように、空洞142の中に広がる。

【0060】

基板から隔たりを置いて薄くなっている側面スペーサが独特の形状をしているため、ゲートの上部もまた、断面が「T」のように見える、スプレーされた形状(sprayed shape)をしている。

この形状により、トランジスタを他の素子と相互接続するための、ゲート上でその後の接続が容易となる。加えて、トランジスタの表面上、即ち、コーティング層124上のゲート物質は、必要とされるパターンによるエッティング又は研磨加工によって、形作られる。ゲート材料はまた、研磨してすり減らすことによって、高さをコーティング層124と一様にすることができる。

【0061】

トランジスタの製造は、コーティング層を通り且つペデスタル層を横切って、ソース領域及びドレイン領域に接点(contact)を造ることによって完成させることができる。これら後者の操作は、それら自体周知であり、本明細書には更に詳しくは記述しない。

補助的方法として、図11及び12は、側面スペーサの製造に対応した方法の工程の変形を示す。

【0062】

この変形では、外側スペーサ120及び内側スペーサ122は全て、窒化ケイ素で造られる。

図10は、ダミーゲートを除去した後に得られる構造を示す。例として、シリコン層104及び窒化ケイ素層106の位置を、点線によって示す。

【0063】

外側スペーサ120の頂部には、コーティング層124の不連続面121が見られる。

この不連続面は、ダミーゲートを(エッティングによって)除去する間の被覆層の依存(parasitic)エッティングと、ダミー層の窒化ケイ素層106を除去する間の(窒化物の)外側スペーサ120の上部のエッティングとの組合せ効果によって生じる。実際は、この層を除去する間、暴露される窒化物の全ての部分がエッティングされる。

【0064】

図11は、内側の側面スペーサ122の形成を示す。

これら内側スペーサは、外側スペーサ120に支えられており、また、不連続面121の高さではコーティング層124に支えられている。

【0065】

後続の諸操作は、既に述べた操作と同一である。この特定の具体的な状態により、最終的にウェルに形成される最終ゲートの「T」形状を強めることが可能となる。

かくして、既に記述した後続の諸段階を更に考慮すると、そのゲートは最終的に、「I」字形とも呼ばれる二重の「T」字（Tと逆T）形の断面を有する。

【0066】

（参考文献）

1. FR-A-2 757 312.
2. S. デレオニバス(Deleonibus)等：「サブミクロン技術のためのSIL0 フィールド・アイソレーションでの密封性窒化ケイ素除去(Sealing Silicon Nitride Removal in SIL0 Field Isolation for Submicron Technologies)」. J. Electrochem. Soc., 第138巻, 第12号, 1991年12月, 第3739頁～3742頁.

【図面の簡単な説明】

【図1】

MISトランジスタを形成することを意図した基板の断面であり、犠牲的ダミーゲートを製造する第1の工程を示す。

【図2】

図1の基板にソース領域及びドレイン領域を設けるための工程を示す。

【図3】

ソース領域及びドレイン領域を設けるための補足的工程を示す。

【図4】

コーティングし次いでダミーゲートを除去した後の構造の断面である。

【図5】

ソース領域とドレイン領域の間にドープ区域を設けるために調製された、図4

の構造の断面を示す。

【図6】

ドープ区域を設けるための構造を調製するための、別態様としての他の可能な構造の断面を示す。

【図7】

最終ゲートを設定するための、図6の構造を調製する工程の断面を示す。

【図8】

最終ゲートを設定するための、図6の構造を調製する工程の断面を示す。

【図9】

最終ゲートを設定するための断面を示す。

【図10】

図4に対応する構造の具体的変形の断面を示す。

【図11】

図4に対応する構造の具体的変形の断面を示す。

【図1】

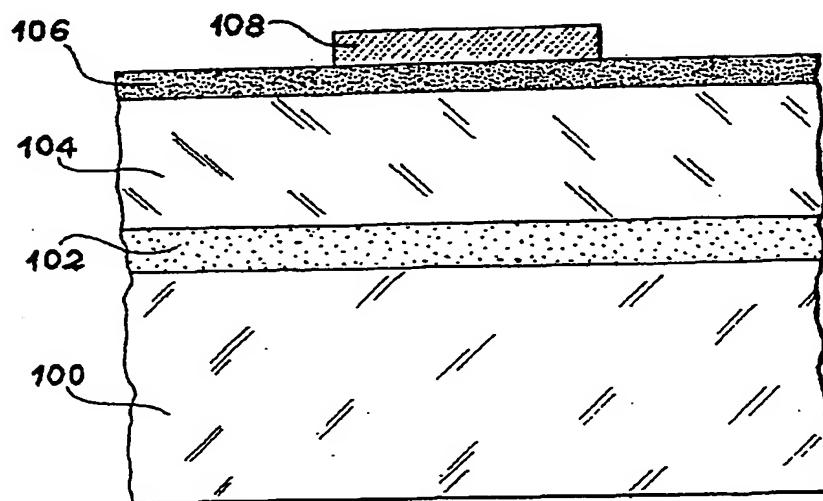


FIG. 1

【図2】

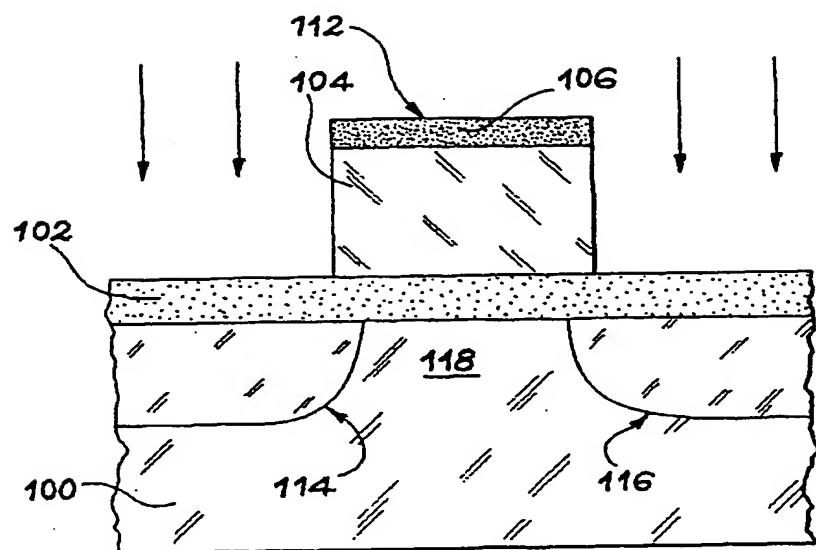


FIG. 2

【図3】

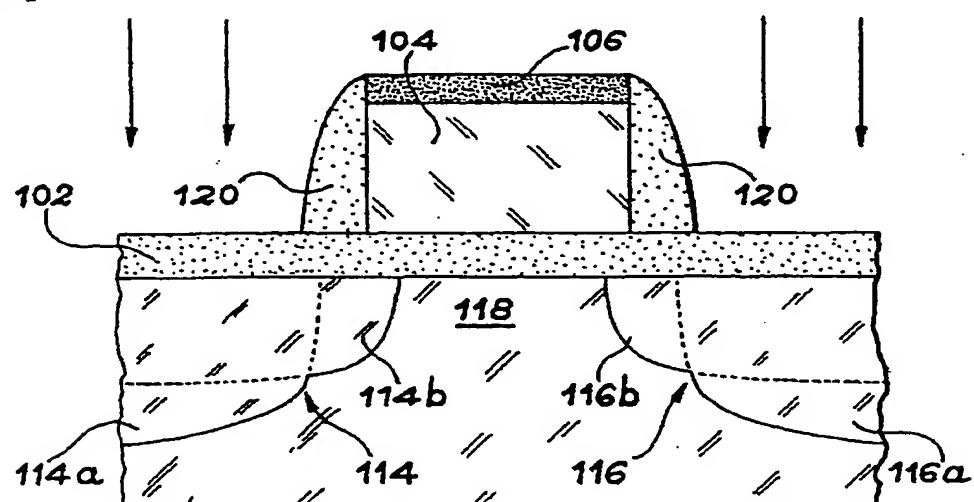


FIG. 3

【図4】

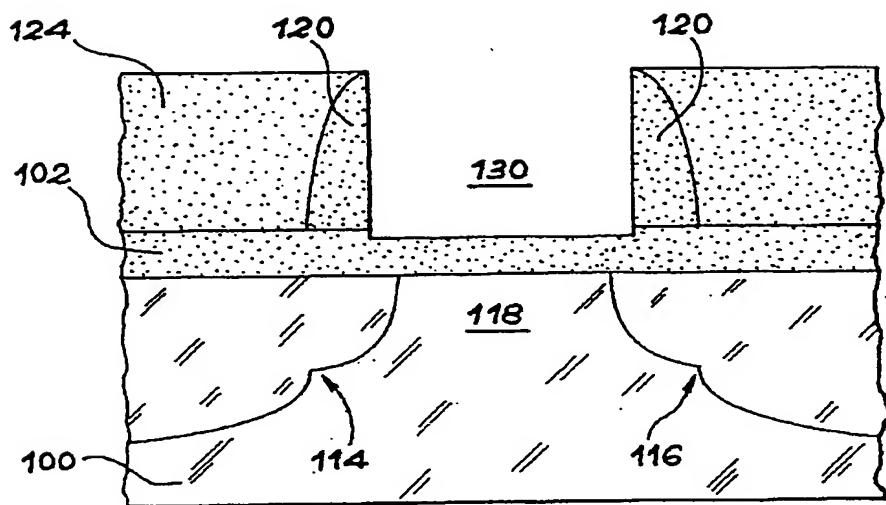


FIG. 4

【図5】

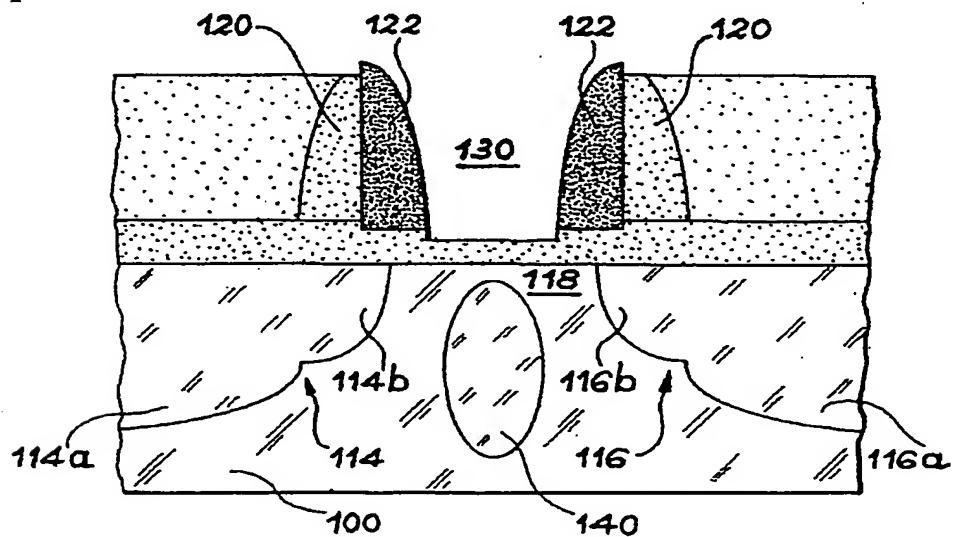


FIG. 5

【図6】

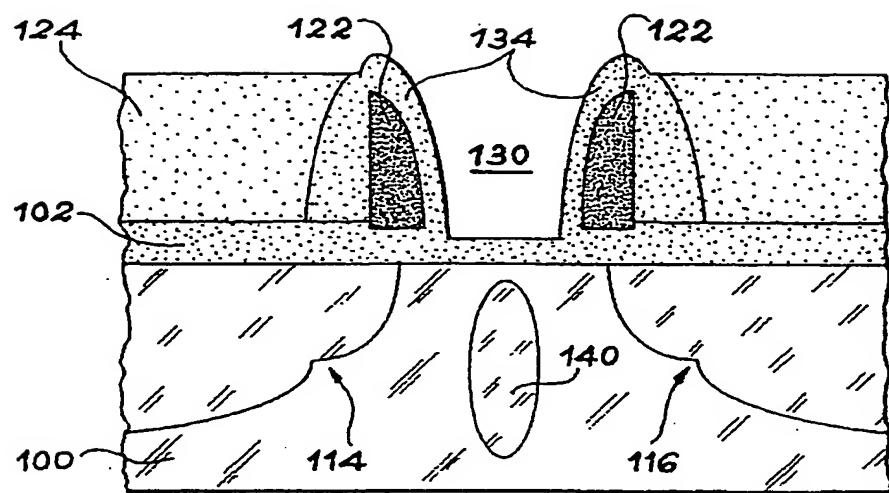


FIG. 6

【図7】

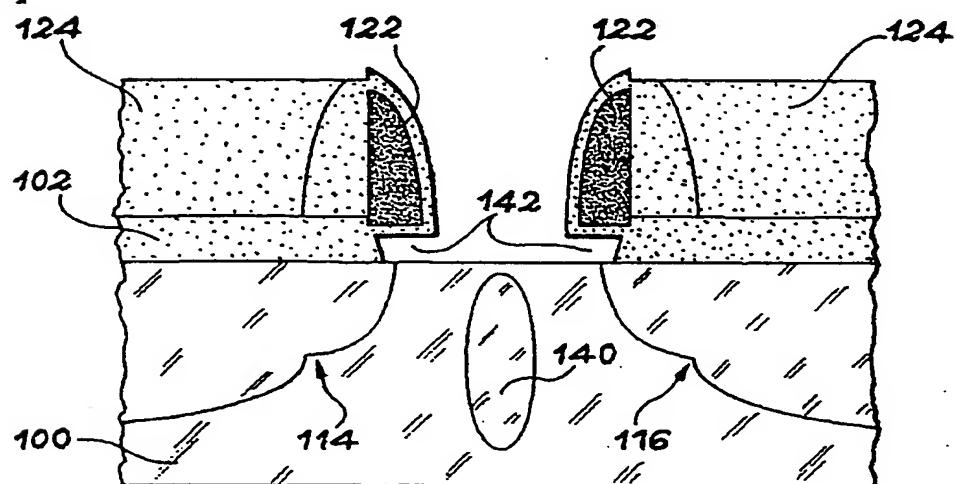


FIG. 7

【図8】

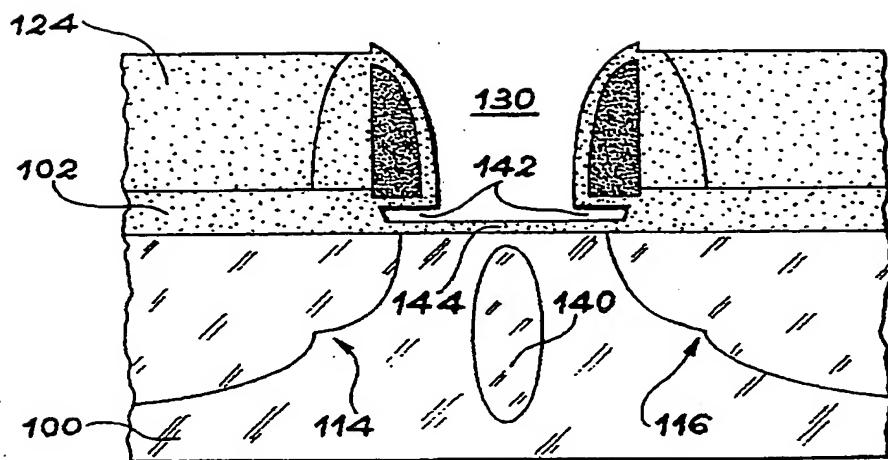


FIG. 8

【図9】

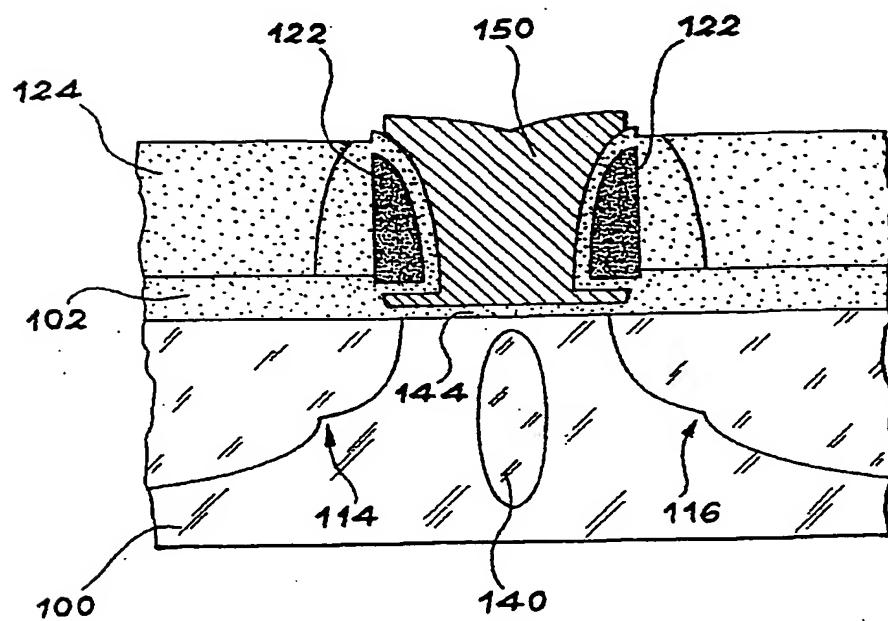


FIG. 9

【図10】

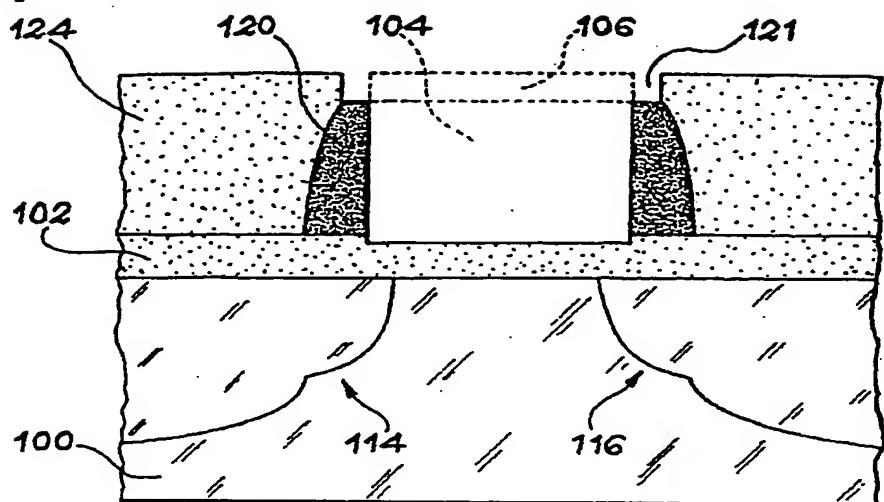


FIG. 10

【図11】

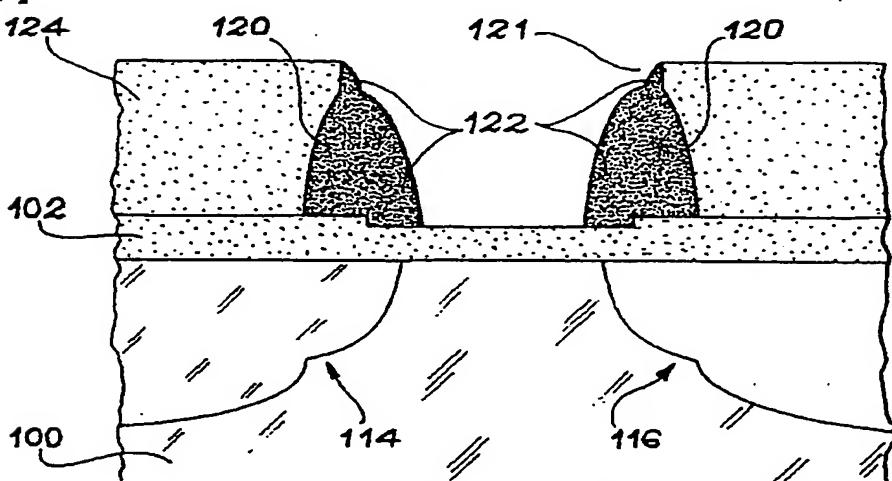


FIG. 11

【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成12年12月16日(2000.12.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項8

【補正方法】変更

【補正の内容】

【請求項8】 チャネル領域(118)と、該チャネルの各々の側面に配置されたソース領域(114)及びドレイン領域(116)と、該チャネル領域の上方に接近して配置されたゲート(150)とを備えたMISトランジスタにおいて、

—前記チャネルが、前記のソース領域とドレイン領域の間のほぼ真中に位置するドープ中心部分140を有し、ここで中心部分が前記ソース領域及び前記ドレイン領域から分離されるように、横方向の範囲が前記のソース及びドレインへは到達しておらず、しかも、

—ゲート(150)は断面が逆T字形をしており、前記チャネルに向いた該逆T字形の水平バーを形成し、部分的に前記ソース領域及び前記ドレイン領域の上方に伸びている部分を有している、上記MISトランジスタ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

ゲート寸法が小さくなると、チャネル中のドーピングが増加し、素子の周波数性能を最適化することが一層困難になる。周波数性能を制限するものの1つは、チャネルソース又はチャネルードレインの依存容量である。

技術状況に関する記載は、文献[3]及び[4]にも示されている。これらの出典は本明細書の最後に挙げられている。

【手続補正3】**【補正対象書類名】**明細書**【補正対象項目名】**0066**【補正方法】**変更**【補正の内容】****【0066】**

(参考文献)

1. FR-A-2 757 312.
2. S. デレオニバス(Deleonibus)等: 「サブミクロン技術のためのSILO
フィールド・アイソレーションでの密封性窒化ケイ素除去(Sealing Silicon Nitride Removal in SILO Field Isolation for Submicron Technologies)」, J. Electrochem. Soc., 第138巻, 第12号, 1991年12月, 第3739頁
~3742頁.
3. US-A-5 750 430.
4. US-A-5 576 227.

【国際調査報告】

INTERNATIONAL SEARCH REPORT

		International Application No PCT/FR 00/00058
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/336 H01L21/28 H01L29/10 H01L29/423		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronics data bases consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 576 227 A (HSU CHEN-CHUNG) 19 November 1996 (1996-11-19) figure 2	1,6
A	FR 2 757 312 A (COMMISSARIAT ENERGIE ATOMIQUE) 19 June 1998 (1998-06-19) cited in the application figure 3	1,2
A	US 5 773 348 A (WU SHYE-LIN) 30 June 1998 (1998-06-30) figures 1-9	1
Y	US 5 750 430 A (SON JEONG-HWAN) 12 May 1998 (1998-05-12) figures 2,3	8
	-/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex
<p>* Special categories of cited documents :</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the International filing date</p> <p>"L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other source</p> <p>"P" document published prior to the International filing date but later than the priority date claimed</p> <p>"T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"Z" document member of the same patent family</p>		
Date of the actual completion of the International search	Date of mailing of the International search report	
24 May 2000	02/06/2000	
Name and mailing address of the ISA European Patent Office, P.B. 5018 Pettenhoef 2 NL - 2203 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl Fax. (+31-70) 340-3016	Authorized officer Gélibart, J	

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR 00/00058

C(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT	
Category	Citation of document, with indication, where appropriate, of the relevant passages Relevant to claim No.
Y	EP 0 768 715 A (MOTOROLA INC) 16 April 1997 (1997-04-16) abstract; figure 8 8
A	US 5 668 021 A (HAYDEN JAMES D ET AL) 16 September 1997 (1997-09-16) figure 7 8
A	DE 42 08 537 A (GOLD STAR ELECTRONICS) 19 November 1992 (1992-11-19) figure 3E 8

Form PCT/ISA210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No	
PCT/FR 00/00058	

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 5576227	A	19-11-1996	NONE		
FR 2757312	A	19-06-1998	EP 0944919 A	29-09-1999	WO 9827582 A 25-06-1998
US 5773348	A	30-06-1998	NONE		
US 5750430	A	12-05-1998	JP 2841315 B	24-12-1998	JP 9321278 A 12-12-1997
EP 0768715	A	16-04-1997	US 5712501 A	27-01-1998	JP 9116154 A 02-05-1997
US 5668021	A	16-09-1997	NONE		
DE 4208537	A	19-11-1992	JP 6204469 A	22-07-1994	US 5904530 A 18-05-1999

フロントページの続き

(72)発明者 カイヤ、クリスチアン
フランス国 サン エグルーブ、リュ ド
ユ ドラ、3

(72)発明者 クデール、ファビアン
フランス国 サン マルタン デール、ア
ブニュ ポール エリュアール、20

Fターム(参考) 4M104 AA01 BB01 BB17 BB18 BB30
CC05 DD03 DD04 DD43 DD75
DD91 EE03 EE09 EE12 EE16
EE17 FF07 FF18 FF32 GG08
GG09 HH20
5F140 AA01 AA05 AA06 AA12 AA39
BB15 BC06 BC17 BD05 BE03
BE07 BE10 BF01 BF04 BF07
BF10 BF42 BG03 BG04 BG08
BG10 BG12 BG14 BG15 BG40
BG51 BH15 BH40 BK02 BK05
CC03 CE05